

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



2154
Docket No. 0756-2228
8-30

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

International Patent Application of

Hongyong ZHANG et al.

Art Unit: 2154

Serial No. 09/726,337

Filed: December 1, 2000

Examiner: Unassigned

For: METHOD FOR PRODUCING

SEMICONDUCTOR DEVICE

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with
The United States Postal Service with sufficient postage as First
Class Mail in an envelope addressed to: Assistant Commissioner
for Patents, Washington, D.C. 20131, on 1/5/01

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Honorable Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

At the time of filing the above-referenced application, a right of priority under 35 USC 119 was claimed in view of Application No. 11-285582, filed October 6, 1999 in Japan.

Submitted herewith is the certified copy of the priority document to perfect the claim for priority.

Respectfully submitted,

Eric J. Robinson

Reg. No. 38,285

Nixon Peabody LLP

8180 Greensboro Drive, Suite 800

McLean, Virginia 22102

(703) 790-9110

RECEIVED
JAN 16 2001
TC 2100 MAIL ROOM

RECEIVED
JUN 12 2001
TC 2600 MAIL ROOM

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 1 0 月 6 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 2 8 5 5 8 2 号

出 願 人
Applicant (s):

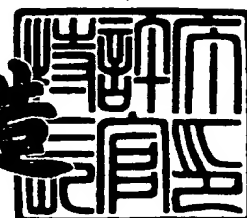
松下電子工業株式会社

RECEIVED
JUN 12 2001
TC 2600 MAIL ROOM

2 0 0 0 年 1 2 月 1 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 1 0 1 3 3 3

【書類名】 特許願

【整理番号】 2925010039

【提出日】 平成11年10月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 中村 真嗣

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 石田 昌弘

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 折田 賢児

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 今藤 修

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 油利 正昭

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011316

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809939

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板と、前記基板の上に設けた窪みと、少なくとも前記窪みの内面から結晶成長して前記基板の上に形成された半導体層とを有する半導体装置。

【請求項 2】 前記窪みは、前記基板の主面と平行でない少なくとも 2 枚の内面を有し、前記 2 枚の内面が前記主面に平行な面により切り取られてできる 2 本の線分のなす角が 60 度または 120 度である請求項 1 記載の半導体装置。

【請求項 3】 前記窪みは、六方晶の結晶構造を有する半導体層に形成された請求項 2 記載の半導体装置。

【請求項 4】 前記窪みの内面は、面方位が $(1, -1, 0, 1)$ である面またはそれと等価な面よりなる請求項 3 記載の半導体装置。

【請求項 5】 前記基板の上に窪みを複数個設けた請求項 1 記載の半導体装置。

【請求項 6】 基板と、前記基板の上に設けた凸起と、少なくとも前記凸起の側面から結晶成長して前記基板の上に形成された半導体層とを有する半導体装置。

【請求項 7】 前記凸起は、前記基板の主面と平行でない少なくとも 2 枚の側面を有し、前記 2 枚の側面が前記主面に平行な面により切り取られてできる 2 本の直線のなす角が 60 度または 120 度である請求項 6 記載の半導体装置。

【請求項 8】 前記凸起は、六方晶の結晶構造を有する半導体層に形成された請求項 7 記載の半導体装置。

【請求項 9】 前記凸起の側面は、面方位が $(1, -1, 0, 1)$ である面またはそれと等価な面よりなる請求項 8 記載の半導体装置。

【請求項 10】 前記基板の上に凸起を複数個設けた請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の欠陥抑制、特に青色レーザや高速動作トランジスタ等に用いられるIII族窒化物半導体よりなる半導体装置の欠陥を抑制する技術に関するものである。

【0002】

【従来の技術】

従来の半導体装置の断面を図10に示す。ただし、構造を明瞭に示すため、断面のハッチングは省略している。図10において、サファイア基板1の上にGa_{0.5}N_{0.5}よりなるバッファ層2、n型Ga_{0.5}N層3、n型Al_{0.5}Ga_{0.5}Nクラッド層4、n型Ga_{0.5}N光ガイド層5、アンドープIn_{0.5}Ga_{0.5}N活性層6、p型Ga_{0.5}N光ガイド層7、第1のp型Al_{0.5}Ga_{0.5}Nクラッド層8、開口9を有する電流狭窄層10、第2のp型Al_{0.5}Ga_{0.5}Nクラッド層11およびp型Ga_{0.5}Nコンタクト層12が順次形成されている。さらに、n型Ga_{0.5}N層3の露出面にはn型電極13、またp型Ga_{0.5}Nコンタクト層12にはp型電極14がそれぞれ取り付けられている。

【0003】

なお、バッファ層2は、サファイア基板1とn型Ga_{0.5}N層3の格子不整合を緩和し、結晶成長を容易にするために設けられたものであり、半導体素子の動作には直接的には関係しない。

【0004】

この半導体装置は、アンドープIn_{0.5}Ga_{0.5}N活性層6が窒化物半導体であるために、n型電極13およびp型電極14に電圧を印加することにより、青色の光を発振するレーザとして使用することができる。

【0005】

【発明が解決しようとする課題】

しかしながら、この従来の半導体装置では、図10に示すようにn型Ga_{0.5}N層3中に筋状に存在する格子欠陥15が、n型Ga_{0.5}N層3、n型Al_{0.5}Ga_{0.5}Nクラッド層4等の成長とともに上方に延びて、半導体レーザ素子の能動領域として働くアンドープIn_{0.5}Ga_{0.5}N活性層6における電流狭窄層10の開口9部分に達してしまう。

【 0 0 0 6 】

半導体レーザ素子のように、高電流注入を必要とする場合、格子欠陥の部分から劣化が始まり、半導体装置の寿命や信頼性を著しく低下させてしまう。

【 0 0 0 7 】

また、ここで説明した半導体レーザ素子の活性層だけではなく、例えば高速動作する半導体トランジスタ素子のゲート領域においても、このゲート領域に存在する格子欠陥によってキャリアの移動度が低下するため、半導体トランジスタ素子の性能を低下させてしまう。

【 0 0 0 8 】

このように、半導体レーザ素子の活性層や、トランジスタのゲート領域など、半導体素子の能動領域を担う部分に存在する格子欠陥は、半導体素子の性能劣化の原因となる。

【 0 0 0 9 】

上記課題に鑑み、本発明は、欠陥を半導体層の特定の場所に集中させることにより半導体層の欠陥密度を減少させ、それにより半導体素子の能動領域の格子欠陥を低減し、信頼性が高く、高性能な半導体装置を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

上記課題を解決するために本発明の半導体装置は、基板と、前記基板の上に設けた窪みと、少なくとも前記窪みの内面から結晶成長して前記基板の上に形成された半導体層とを有するものである。

【 0 0 1 1 】

この構成により、半導体層が基板の上に設けた窪みの内面より結晶成長されて形成しているので、半導体層中の欠陥を窪みの中心方向へ集中させることができ、半導体層の欠陥密度を減少させることができる。

【 0 0 1 2 】

本発明の半導体装置は、かかる構成につき、窪みは、前記基板の主面と平行でない少なくとも2枚の内面を有し、前記2枚の内面が前記主面に平行な面により切り取られてできる2本の線分のなす角が60度または120度であるものである。

る。

【0013】

この構成により、さらに窪みが基板の主面と平行でない少なくとも2枚の内面を含み、各々の内面が主面に平行な面により切り取られてできる各々の線分どうしのなす角が60度または120度であるので、側面の結晶性を良好にすることができ、その上に形成される半導体層の結晶性を良好にすることができる。

【0014】

本発明の半導体装置は、かかる構成につき、窪みは、六方晶の結晶構造を有する半導体層に形成されたものである。

【0015】

この構成により、さらに窪みが六方晶の結晶構造を有する半導体層に形成されているので、窪みの内面を結晶成長面とすることができ、その上に形成される半導体層の結晶性を良好にすることができる。

【0016】

本発明の半導体装置は、かかる構成につき、窪みの内面は、面方位が(1, -1, 0, 1)である面またはそれと等価な面よりなるものである。

【0017】

この構成により、さらに窪みの内面を結晶成長面である(1, -1, 0, 1)面またはそれと等価な面としているので、その上に形成される半導体層の結晶性を良好にすることができる。

【0018】

本発明の半導体装置は、かかる構成につき、基板の上に窪みを複数個設けたものである。

【0019】

この構成により、基板の上に窪みを複数個設けているので、窪みの中央部付近の半導体層に欠陥を集中させることができ、半導体層の欠陥密度を減少させることができる。

【0020】

本発明の半導体装置は、基板と、前記基板の上に設けた凸起と、少なくとも前

記凸起の側面から結晶成長して前記基板の上に形成された半導体層とを有するものである。

【0021】

この構成により、半導体層が基板の上に設けた凸起の側面より結晶成長されて形成しているので、半導体層中の欠陥を凸起の外側方向へ集中させることができ、半導体層の欠陥密度を減少させることができる。

【0022】

本発明の半導体装置は、かかる構成につき、凸起は、前記基板の主面と平行でない少なくとも2枚の側面を有し、前記2枚の側面が前記主面に平行な面により切り取られてできる2本の直線のなす角が60度または120度であるものである。

【0023】

この構成により、さらに凸起が基板の主面と平行でない少なくとも2枚の側面を含み、各々の側面が主面に平行な面により切り取られてできる各々の線分どうしのなす角が60度または120度であるので、側面の結晶性を良好にすることができ、その上に形成される半導体層の結晶性を良好にすることができる。

【0024】

本発明の半導体装置は、かかる構成につき、凸起は、六方晶の結晶構造を有する半導体層に形成されたものである。

【0025】

この構成により、さらに凸起が六方晶の結晶構造を有する半導体層に形成されているので、凸起の側面を結晶成長面とすることができ、その上に形成される半導体層の結晶性を良好にすることができる。

【0026】

本発明の半導体装置は、かかる構成につき、凸起の側面は、面方位が(1, -1, 0, 1)である面またはそれと等価な面よりなるものである。

【0027】

この構成により、さらに凸起の側面を結晶成長面である(1, -1, 0, 1)面またはそれと等価な面としているので、その上に形成される半導体層の結晶性

を良好にすることができる。

【0028】

本発明の半導体装置は、かかる構成につき、基板の上に凸起を複数個設けたものである。

【0029】

この構成により、基板の上に凸起を複数個設けているので、各凸起間の midpoint 付近の半導体層に欠陥を集中させることができ、半導体層の欠陥密度を減少させることができる。

【0030】

【発明の実施の形態】

本発明の実施の形態について、図面を用いて説明する。

【0031】

(実施の形態1)

本発明の第1の実施の形態に係る半導体装置は、図1にその見取り図を示すように、サファイア基板101の上に(0, 0, 0, 1)面を主面とする六方晶のGaNよりなる厚さ2.0 μm の第1の半導体層102が形成され、さらにその上に $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ よりなる厚さ1.0 μm の第2の半導体層103が形成されたものである。第1の半導体層102には深さ1.0 μm の窪み104が形成されており、その窪み104はそれぞれ第1の半導体層102の主面に含まれる辺の長さが1.5 μm 、面方位が(1, -1, 0, 1)、(0, 1, -1, 1)および(-1, 0, 1, 1)である3枚の側面105、106および107と面方位が(0, 0, 0, 1)である底面108とで構成されている。なお、不図示であるが、サファイア基板101と第1の半導体層102との間にはアンドープGaNよりなる厚さが50 nm程度のバッファ層が形成されている。なお、窪み104について、第1の半導体層102の主面に含まれる3辺がつくる三角形の、3つの角の大きさが60度であることはいうまでもない。

【0032】

この構成により、第1の半導体層102に窪み104が形成され、その上に第2の半導体層103が形成されているので、窪み104の内部に形成された3枚

の側面 1 0 5、1 0 6 および 1 0 7 より第 1 の半導体層 1 0 2 の主面の法線方向とは異なる方向に第 2 の半導体層 1 0 3 が結晶成長して欠陥が 1 カ所に集合するようになり、3 枚の側面 1 0 5、1 0 6 および 1 0 7 の上部にある第 2 の半導体層 1 0 3 の欠陥密度を減少させることができる。

【0 0 3 3】

特に、3 枚の側面 1 0 5、1 0 6 および 1 0 7 の主面に含まれるそれぞれの線分どうしのなす角が 6 0 度であるので、側面 1 0 5、1 0 6 および 1 0 7 の結晶性を良好にすることができ、その上に形成される半導体層の結晶性を良好にすることができる。

【0 0 3 4】

この実施の形態に係る半導体装置の製造方法を図 2 に示す。

【0 0 3 5】

まず、サファイア基板 1 0 1 の上に有機気相金属エピタキシャル成長法（以下 MOVPE 法という）により第 1 の半導体層 1 0 2 を形成する（図 2（a））。

【0 0 3 6】

次に正三角形の穴が開いたマスク（不図示）を第 1 の半導体層 1 0 2 の上に載置し、ドライエッチングにより第 1 の半導体層 1 0 2 の、マスクのない部分の層厚を小さくし、3 枚の側面 1 0 5、1 0 6 および 1 0 7 と底面 1 0 8 とを露出させる（図 2（b））。

【0 0 3 7】

その後、マスクを除去し、MOVPE 法により第 1 の半導体層 1 0 2 の上に第 2 の半導体層 1 0 3 を形成する（図 2（c））。

【0 0 3 8】

この実施の形態に係る半導体装置の断面を電子顕微鏡により観察したところ、図 3 に示すようになった。なお、図 3（a）、（b）および（c）はそれぞれ半導体装置を、図 1 の線分 A-A'、B-B' および C-C' を含む第 1 の半導体層の主面に垂直な面で劈開した場合の断面の様子を表す。なお、図 3 において、一部の層については便宜上ハッチングを施していない。これら図 3（a）、（b）および（c）のいずれの断面においても欠陥 1 0 9 が集合していることがわか

った。

【0039】

また、この実施の形態に係る半導体装置の、窪み104近傍の表面を光学顕微鏡により観察したところ、窪み104のほぼ中央付近に欠陥109が点状になって現れ、欠陥109以外に欠陥が見られなかった。

【0040】

以上に示す観察結果から、上記半導体装置において第2の半導体層103中の欠陥109が、図4に示すように1カ所に集合していることがわかった。

【0041】

なお、上記実施の形態において以下に示す置き換えを行っても同様の効果が得られる。

【0042】

窪み104の、第1の半導体層102の主面における面の形状として四角形や六角形等の多角形でもよいし、円や楕円でもよい。特に窪み104について、面方位が $(1, -1, 0, 1)$ である面、およびそれと等価である面すなわち $(-1, 1, 0, 1)$ 、 $(0, 1, -1, 1)$ 、 $(0, -1, 1, 1)$ 、 $(-1, 0, 1, 1)$ および $(1, 0, -1, 1)$ よりなる側面を有し、第1の半導体層102の主面における面の形状が六角形であれば側面の結晶性を良好にすることができ、側面より結晶成長する第2の半導体層の結晶性を良好にすることができる。なお、この場合、窪み104について第1の半導体層102の主面に含まれる6辺がつくる六角形の、6つの角の大きさが120度であることはいうまでもない。

【0043】

また、 GaN または $Al_{0.1}Ga_{0.9}N$ 以外の六方晶の結晶よりなる第1の半導体層および第2の半導体層を用いてもよい。

【0044】

さらに底面108はなくてもよい。

【0045】

(実施の形態2)

本発明の第2の実施の形態に係る半導体装置は、図5にその見取り図を示すように、サファイア基板201の上に(0, 0, 0, 1)面を主面とする六方晶のGa_{0.9}Nよりなる厚さ2.0 μmの第1の半導体層202が形成され、さらにその上にAl_{0.1}Ga_{0.9}Nよりなる厚さ1.5 μmの第2の半導体層203が形成されたものである。第1の半導体層202には高さ0.5 μmの凸起204が形成されており、その凸起204はそれぞれ第1の半導体層202の主面に含まれる辺の長さが1.0 μm、面方位が(1, -1, 0, 1)、(0, 1, -1, 1)および(-1, 0, 1, 1)である3枚の側面205、206および207と面方位が(0, 0, 0, 1)である上面208とで構成されている。なお、不図示であるが、サファイア基板201と第1の半導体層202との間にはアンドープGa_{0.9}Nよりなる厚さが50 nm程度のバッファ層が形成されている。なお、凸起204について、第1の半導体層202の主面に含まれる3辺がつくる三角形の、3つの角の大きさが120度であることはいうまでもない。

【0046】

この構成により、第1の半導体層202に凸起204が形成され、その上に第2の半導体層203が形成されているので、凸起204に形成された3枚の側面205、206および207より第1の半導体層202の主面の法線方向とは異なる方向に第2の半導体層203が結晶成長して凸起204の外側に欠陥が伸びるようになり、3枚の側面205、206および207の上部にある第2の半導体層203の欠陥密度を減少させることができる。

【0047】

特に、3枚の側面205、206および207の主面に含まれるそれぞれの線分どうしのなす角が60度であるので、側面205、206および207の結晶性を良好にすることができ、その上に形成される半導体層の結晶性を良好にすることができる。

【0048】

この実施の形態に係る半導体装置の製造方法を図6に示す。

【0049】

まず、サファイア基板201の上にMOVPE法により第1の半導体層202

を形成する（図 6（a））。

【0050】

次に正三角形のマスク（不図示）を第 1 の半導体層 202 の上に載置し、ドライエッチングにより第 1 の半導体層 202 の、マスクのない部分の層厚を小さくし、3 枚の側面 205、206 および 207 と上面 208 とを露出させる（図 6（b））。

【0051】

その後、マスクを除去し、MOVPE 法により第 1 の半導体層 202 の上に第 2 の半導体層 203 を形成する（図 6（c））。

【0052】

この実施の形態に係る半導体装置の断面を電子顕微鏡により観察したところ、図 7 に示すようになった。なお、図 7（a）、（b）および（c）はそれぞれ半導体装置を、図 5 の線分 A-A'、B-B' および C-C' を含む第 1 の半導体層の主面に垂直な面で劈開した場合の断面の様子を表す。また、図 7 において、一部の層については便宜上ハッチングを施していない。これら図 7（a）、（b）および（c）のいずれの断面においても欠陥 209 が側面より外側へ伸びていることがわかった。

【0053】

また、この実施の形態に係る半導体装置の、凸起 204 近傍の表面を光学顕微鏡により観察したところ、凸起 204 のほぼ中央付近には欠陥が見られなかった。

【0054】

以上に示す観察結果から、上記半導体装置において第 2 の半導体層 203 中の欠陥 209 が、凸起 204 の側面より外側へ伸びていることがわかった。

【0055】

なお、上記実施の形態において以下に示す置き換えを行っても同様の効果が得られる。

【0056】

凸起 204 の、第 1 の半導体層 202 の主面における面の形状として四角形や

六角形等の多角形でもよいし、円や楕円でもよい。特に面方位が $(1, -1, 0, 1)$ である面、およびそれと等価である面すなわち $(-1, 1, 0, 1)$ 、 $(0, 1, -1, 1)$ 、 $(0, -1, 1, 1)$ 、 $(-1, 0, 1, 1)$ および $(1, 0, -1, 1)$ よりなる側面を有し、第1の半導体層202の主面における面の形状が六角形であれば側面の結晶性を良好にすることができ、側面より結晶成長する第2の半導体層203の結晶性を良好にすることができる。なお、この場合、凸起204について第1の半導体層202の主面に含まれる6辺がつくる六角形の、6つの角の大きさが120度であることはいうまでもない。

【0057】

また、Ga_{0.9}NまたはAl_{0.1}Ga_{0.9}N以外の六方晶の結晶よりなる第1の半導体層202および第2の半導体層203を用いてもよい。

【0058】

さらに上面208はなくてもよい。

【0059】

(実施の形態3)

本発明の第3の実施の形態に係る半導体装置は、図8にその上面図を示すように、サファイア基板101の上に $(0, 0, 0, 1)$ 面を主面とする六方晶のGa_{0.9}Nよりなる厚さ2.0 μmの第1の半導体層102が形成され、さらにその上にAl_{0.1}Ga_{0.9}Nよりなる厚さ1.0 μmの第2の半導体層103が形成されたものであり、第1の半導体層102には深さ1.0 μmの複数の窪み104が $\langle 1, -1, 0, 0 \rangle$ 方向(矢印D)および $\langle 1, 1, -2, 0 \rangle$ 方向(矢印E)に、中心間の距離が10 μmになるように等間隔に形成されており、その窪み104はそれぞれ第1の半導体層102の主面に含まれる辺の長さが1.5 μm、面方位が $(1, -1, 0, 1)$ 、 $(0, 1, -1, 1)$ および $(-1, 0, 1, 1)$ である3枚の側面105、106および107と面方位が $(0, 0, 0, 1)$ である底面108とで構成されている。窪み近傍の積層構造については図1と同様である。なお、不図示であるが、サファイア基板101と第1の半導体層102との間にはアンドープGa_{0.9}Nよりなる厚さが50 nm程度のバッファ層が形成されている。

【0 0 6 0】

この構成により、複数の窪み 1 0 4 が等間隔に形成されているので、窪み 1 0 4 の中央へ向けて欠陥が 1 カ所に集合するようになり、第 2 の半導体層 1 0 3 の欠陥密度を減少させることができる。

【0 0 6 1】

特に、3 枚の側面 1 0 5、1 0 6 および 1 0 7 の主面に含まれるそれぞれの線分どうしのなす角が 6 0 度であるので、側面 1 0 5、1 0 6 および 1 0 7 の結晶性を良好にすることができ、その上に形成される第 2 の半導体層の結晶性を良好にすることができる。

【0 0 6 2】

この実施の形態に係る半導体装置の製造方法は第 1 の実施の形態とほぼ同様であり、異なる点はドライエッチングの際に用いるマスクとして中心間の距離が 1 0 μm になるように等間隔に三角形の穴が並んだマスクを用いればよい。

【0 0 6 3】

この実施の形態に係る半導体装置の表面を光学顕微鏡により観察したところ、窪み 1 0 4 のほぼ中央付近に欠陥が点状になって現れる以外は特に目立った欠陥が見られず、従来の半導体装置と比べて欠陥密度が減少したことが確認できた。

【0 0 6 4】

(実施の形態 4)

本発明の第 4 の実施の形態に係る半導体装置は、図 9 にその上面図を示すように、サファイア基板 2 0 1 の上に (0, 0, 0, 1) 面を主面とする六方晶の GaN よりなる厚さ 2. 0 μm の第 1 の半導体層 2 0 2 が形成され、さらにその上に $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ よりなる厚さ 1. 5 μm の第 2 の半導体層 2 0 3 が形成されたものである。第 1 の半導体層 2 0 2 には高さ 0. 5 μm の複数の凸起 2 0 4 が $\langle 1, -1, 0, 0 \rangle$ 方向 (矢印 D) および $\langle 1, 1, -2, 0 \rangle$ 方向 (矢印 E) に、中心間の距離が 1 0 μm になるように等間隔に形成されており、その凸起 2 0 4 はそれぞれ第 1 の半導体層 2 0 2 の主面に含まれる辺の長さが 1. 0 μm 、面方位が (1, -1, 0, 1)、(0, 1, -1, 1) および (-1, 0, 1, 1) である 3 枚の側面 2 0 5、2 0 6 および 2 0 7 と面方位が (0, 0, 0,

1) である上面 2 0 8 とで構成されている凸起 2 0 4 近傍の積層構造については図 5 と同様である。なお、不図示であるが、サファイア基板 2 0 1 と第 1 の半導体層 2 0 2 との間にはアンドープ GaN よりなる厚さが 5 0 n m 程度のバッファ層が形成されている。

【 0 0 6 5 】

この構成により、複数の凸起 2 0 4 が等間隔に形成されているので、隣り合う凸起 2 0 4 の中間へ向けて欠陥が集合するようになり、第 2 の半導体層 2 0 3 の欠陥密度を減少させることができる。

【 0 0 6 6 】

特に、3 枚の側面 2 0 5、2 0 6 および 2 0 7 の主面に含まれるそれぞれの線分どうしのなす角が 6 0 度であるので、側面 2 0 5、2 0 6 および 2 0 7 の結晶性を良好にすることができ、その上に形成される第 2 の半導体層の結晶性を良好にすることができる。

【 0 0 6 7 】

この実施の形態に係る半導体装置の製造方法は第 1 の実施の形態とほぼ同様であり、異なる点はドライエッチングの際に用いるマスクとして中心間の距離が 1 0 μ m になるように等間隔に並んだマスクを用いればよい。

【 0 0 6 8 】

この実施の形態に係る半導体装置の表面を光学顕微鏡により観察したところ、隣り合う凸起 2 0 4 のほぼ中間付近に欠陥がまばらに現れる以外は特に欠陥が見られず、従来の半導体装置と比べて欠陥密度が減少したことが確認できた。

【 0 0 6 9 】

なお、上記第 3 ないし第 4 の実施の形態において、窪み 1 0 4 または凸起 2 0 4 の、第 1 の半導体層の主面に含まれる辺の長さおよび配列間隔は、第 1 の半導体層の層厚等に応じて適宜選べばよい。

【 0 0 7 0 】

なお、上記第 1 ないし第 4 の実施の形態において、基板としてはサファイア基板以外に六方晶よりなる基板、例えばスピネル基板、SiC 基板または GaN 基板を用いてもよい。

【 0 0 7 1 】

また、上記第 1 ないし第 4 の実施の形態において、第 1 の半導体層に窪みまたは凸起を設ける代わりに基板に窪みまたは凸起を設けてもよい。

【 0 0 7 2 】

なお、上記第 1 ないし第 4 の実施の形態において、第 2 の半導体層の代わりに半導体レーザ等の積層構造を有するデバイスを形成してもよい。特にデバイスを形成した場合、能動領域を欠陥密度の少ない領域に設けることによりデバイスの特性を向上させることができる。

【 0 0 7 3 】

また、上記第 3 ないし第 4 の実施の形態において、第 2 の半導体層の代わりに半導体レーザを形成し、半導体レーザのストライプ方向を窪みまたは凸起の配列の方向に合わせてもよい。このようにすれば、ストライプ領域における欠陥を低減させることができ半導体レーザの特性を向上させることができる。

【 0 0 7 4 】

【発明の効果】

以上説明したように、本発明の半導体装置によれば、欠陥を半導体層の特定の場所に集中させることができ、半導体層の欠陥密度を減少させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体装置の見取り図

【図 2】

同半導体装置の製造方法を示す見取り図

【図 3】

同半導体装置の断面を電子顕微鏡により観察した結果を示す断面図

【図 4】

同半導体装置における欠陥の様子を示す見取り図

【図 5】

本発明の第 2 の実施の形態に係る半導体装置の見取り図

【図 6】

同半導体装置の製造方法を示す見取り図

【図 7】

同半導体装置の断面を電子顕微鏡により観察した結果を示す断面図

【図 8】

本発明の第 3 の実施の形態に係る半導体装置の上面図

【図 9】

本発明の第 4 の実施の形態に係る半導体装置の上面図

【図 10】

従来の半導体装置の断面図

【符号の説明】

101、201 サファイア基板

102、202 第 1 の半導体層

103、203 第 2 の半導体層

104 窪み

105、106、107、205、206、207 側面

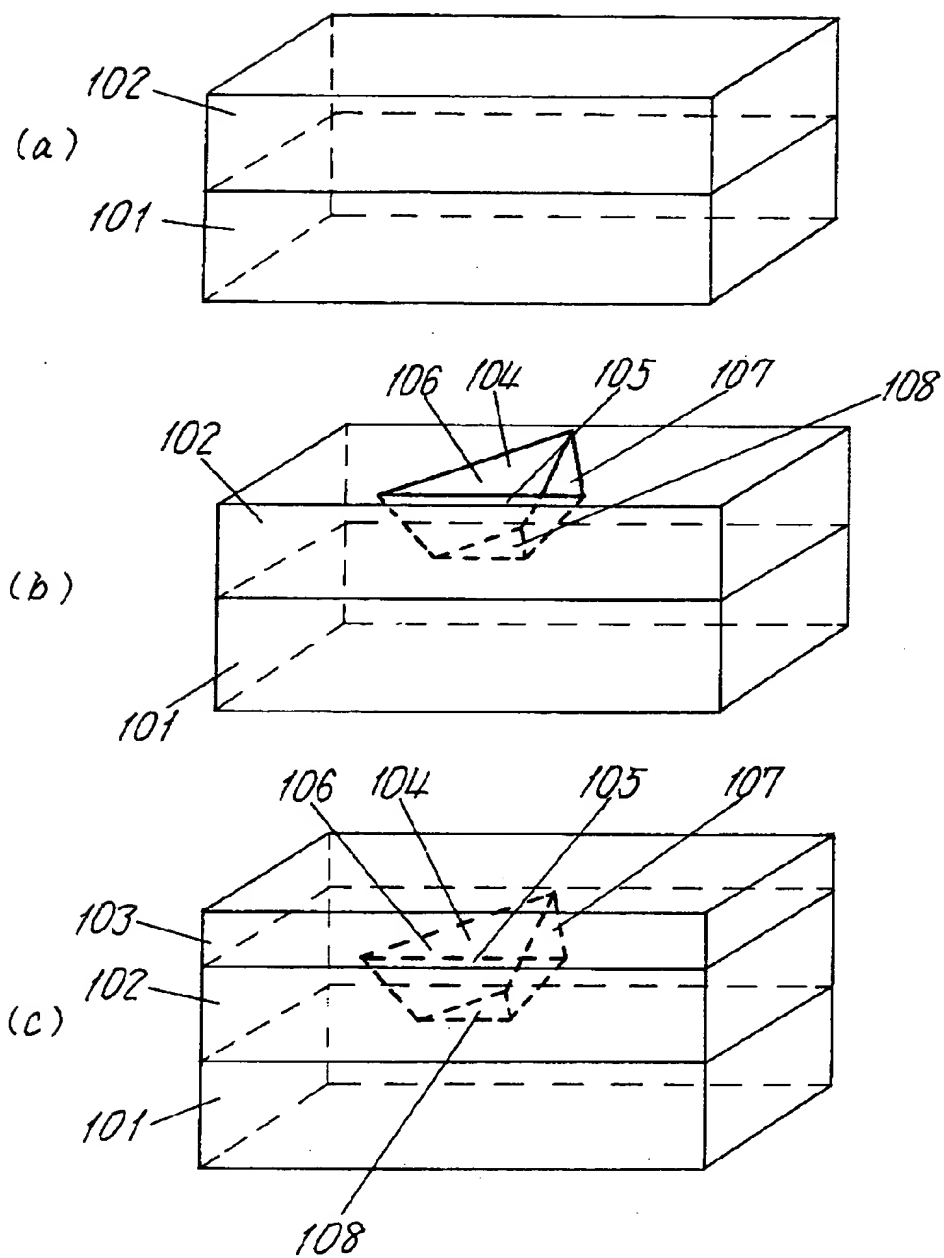
108 底面

109、209 欠陥

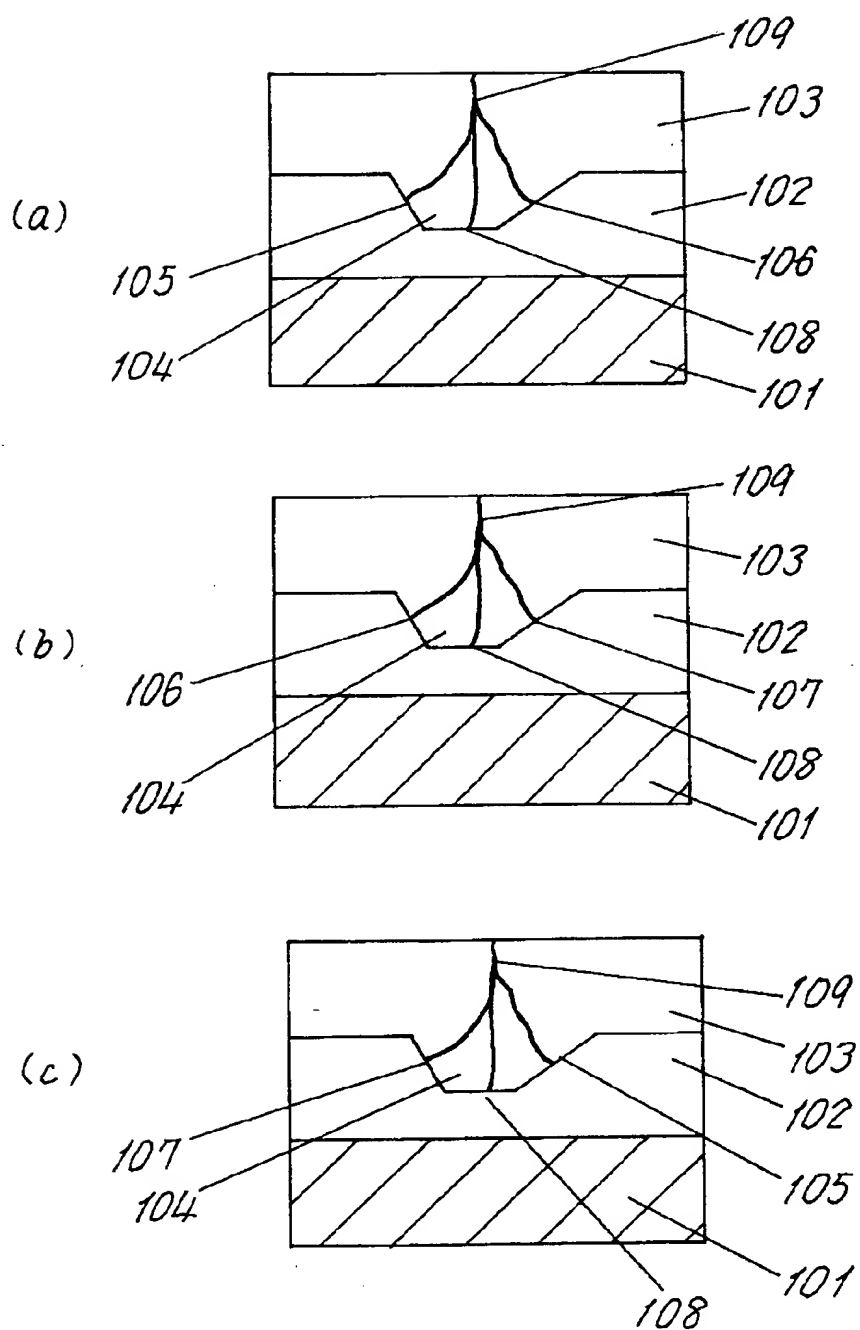
204 凸起

208 上面

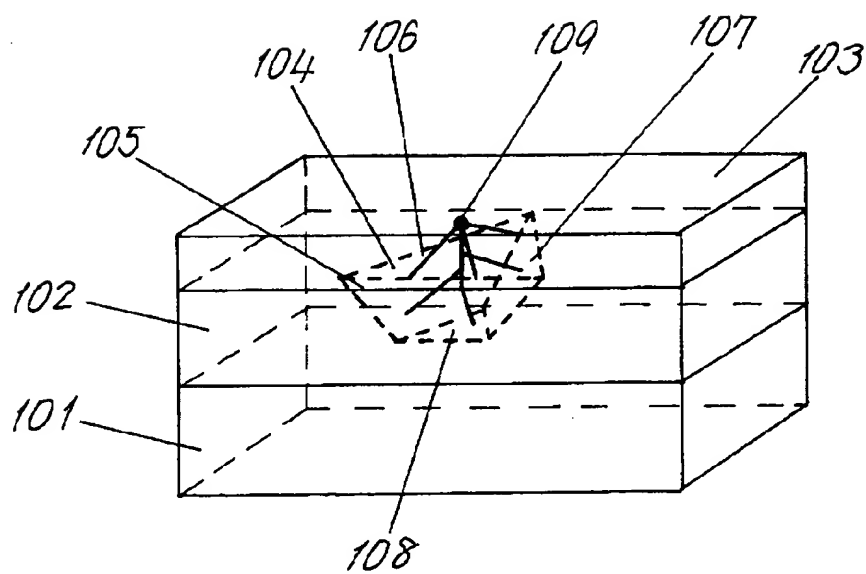
【図 2】



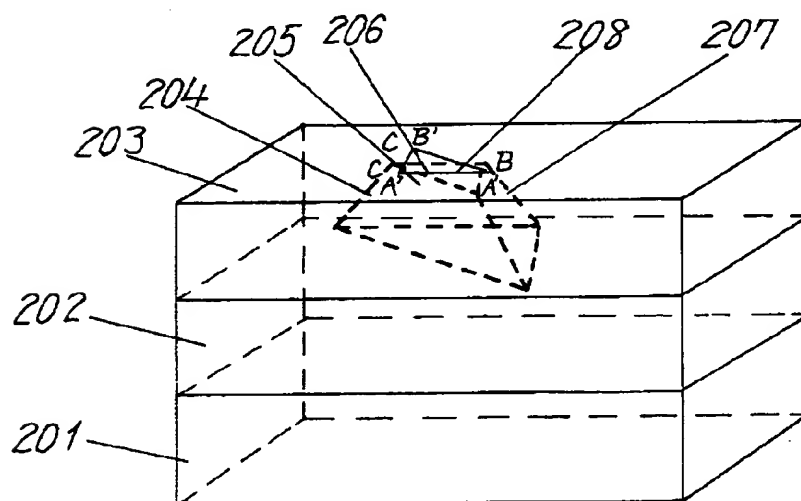
【図 3】



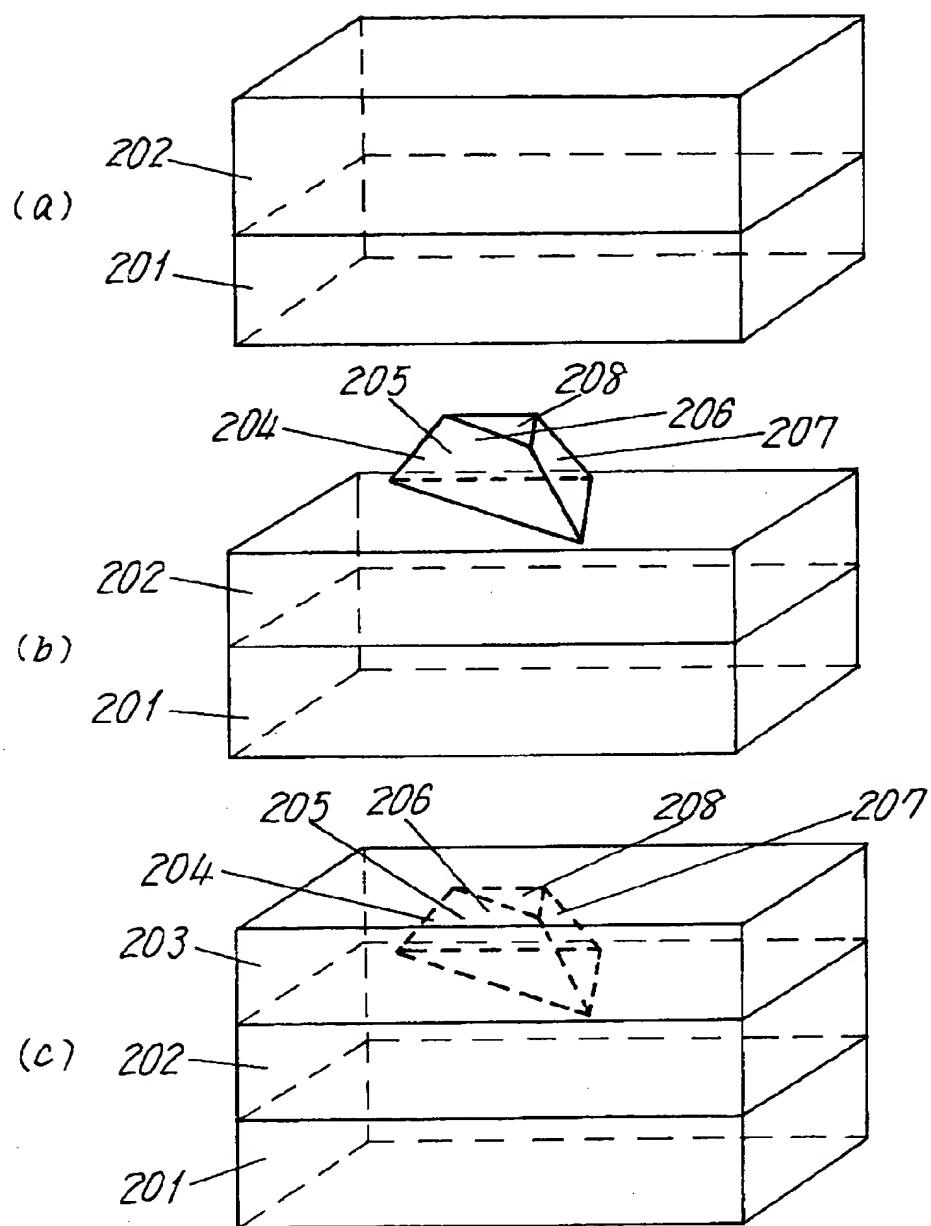
【図 4】



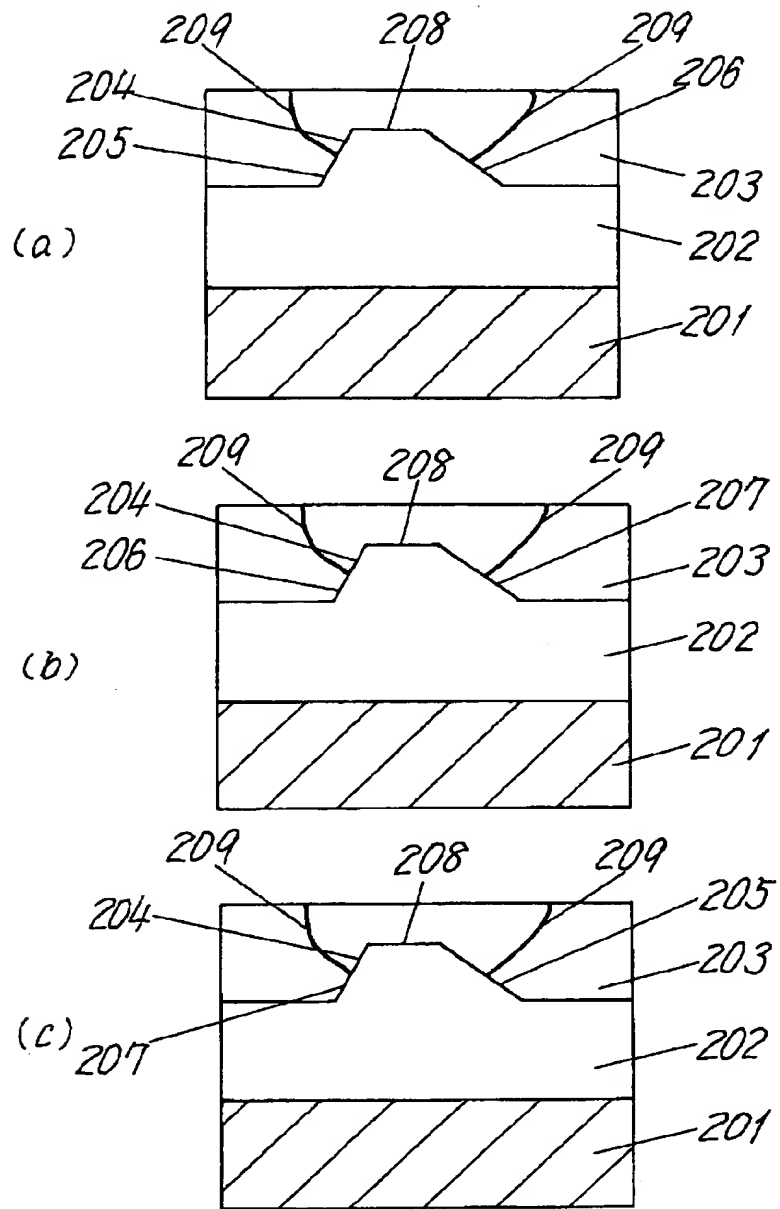
【図 5】



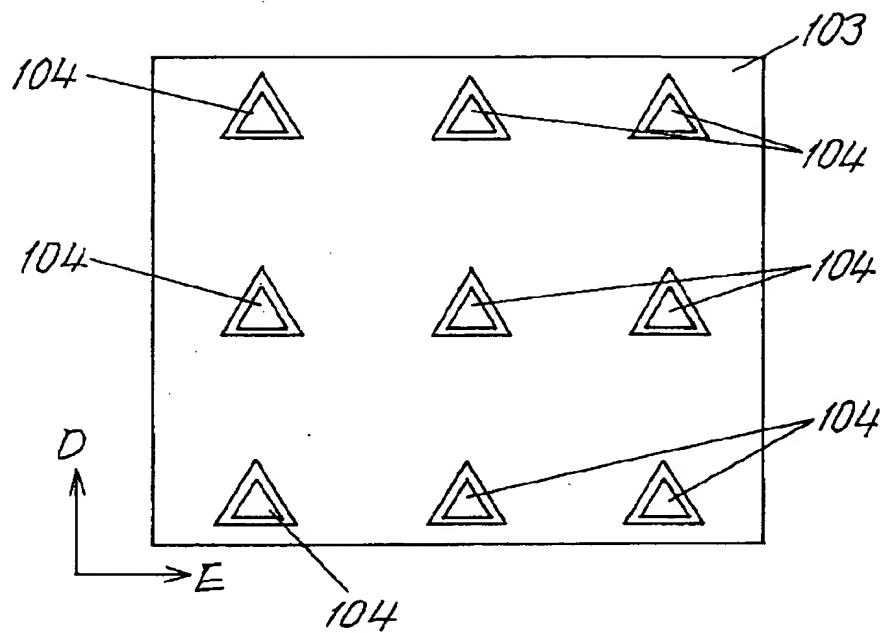
【图 6】



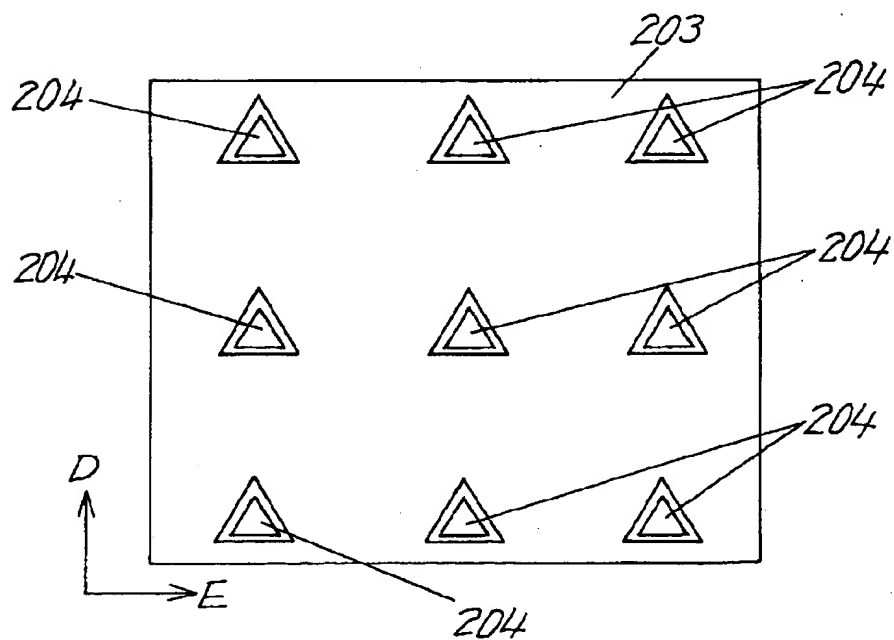
【図 7】



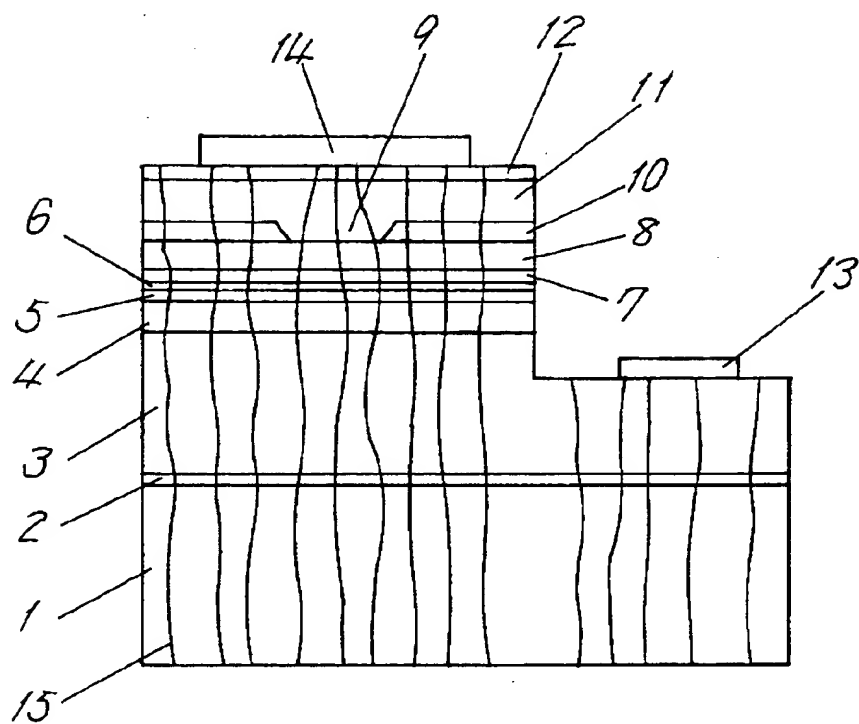
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 半導体装置内の欠陥密度を減少させる。

【解決手段】 サファイア基板 1 0 1 の上に (0 , 0 , 0 , 1) 面を主面とする六方晶の G a N よりなる第 1 の半導体層 1 0 2 が形成され、さらにその上に $A l_{0.1}G a_{0.9}N$ よりなる第 2 の半導体層 1 0 3 が形成されたものである。第 1 の半導体層 1 0 2 には窪み 1 0 4 が形成されており、その窪み 1 0 4 はそれぞれ面方位が (1 , - 1 , 0 , 1) 、 (0 , 1 , - 1 , 1) および (- 1 , 0 , 1 , 1) である 3 枚の側面 1 0 5 、 1 0 6 および 1 0 7 と面方位が (0 , 0 , 0 , 1) である底面 1 0 8 とで構成されている。

【選択図】 図 1

【書類名】 手続補正書
 【提出日】 平成12年 9月22日
 【あて先】 特許庁長官殿
 【事件の表示】
 【出願番号】 平成11年特許願第285582号

【補正をする者】
 【識別番号】 000005843
 【氏名又は名称】 松下電子工業株式会社

【代理人】
 【識別番号】 100097445
 【弁理士】
 【氏名又は名称】 岩橋 文雄
 【電話番号】 03-3434-9471

【手続補正 1】

【補正対象書類名】 特許願
 【補正対象項目名】 発明者
 【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 中村 真嗣

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 石田 昌宏

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 折田 賢児

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 今藤 修

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 油利 正昭

【その他】 本件特許出願の発明者は「中村 真嗣」「石田 昌宏」「折田 賢児」「今藤 修」「油利 正昭」の 5 名ですが、そのうちの「石田 昌宏」を特許出願の際に、誤って「石田 昌弘」と記載してしまいました。従いまして、誤って記載した「石田 昌弘」を正確な「石田 昌宏」に訂正することを認めて下さるようお願い致します。

【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社